

KOREAN PATENT ABSTRACTS

(11)Publication number: 100273689 B1
(43)Date of publication of application: 04.09.2000

(21)Application number:	1019970029646	(71)Applicant:	HYNIX SEMICONDUCTOR INC.
(22)Date of filing:	30.06.1997	(72)Inventor:	LEE, SEUNG SEOK
(51)Int. Cl	H01L 27/108		

(54) SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A semiconductor memory device and a method for manufacturing the same are provided to obtain a low contact resistance between a plug and a lower electrode of a capacitor by preventing diffusion of oxygen.

CONSTITUTION: An interlayer dielectric(201) is formed on a lower structure including a MOS transistor. An oxygen diffusion barrier(202) is formed on the interlayer dielectric(201). A capacitor contact hole is formed by etching selectively the oxygen diffusion barrier(202) and interlayer dielectric(201). A plug conductive layer is formed within the contact hole. A Ti layer(205) and a TiN layer(206) are formed on the plug conductive layer. The second TiN layer(207) is formed thereon. A lower electrode(208) of a capacitor is formed on the second TiN layer(207). A dielectric layer(209) and an upper electrode(210) are formed on the lower electrode(208). An interlayer dielectric(211) and a metal line(212) are formed thereon.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20000612)
Patent registration number (1002736890000)
Date of registration (20000904)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/108

(11) 공개번호 특1999-005449
(43) 공개일자 1999년01월25일

(21) 출원번호	특1997-029646
(22) 출원일자	1997년06월30일
(71) 출원인	현대전자산업 주식회사 김영환
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	이승석
	경기도 이천시 대월면 사동리 현대전자 사원아파트 104-204
(74) 대리인	박해천, 원석희

심사청구 : 있음

(54) 반도체 메모리 장치 및 그 제조 방법

요약

본 발명은 플러그 재료 및 플러그 형성 방법을 변형시켜 플러그와 캐패시터 하부전극 사이에서의 낮은 접촉저항을 확보하는 반도체 메모리 장치 및 그 제조 방법을 제공하고자 하는 것으로, 이를 위하여 본 발명의 반도체 장치는 모스트랜지스터의 소오스/드레인이 개구된 충전절연층; 상기 충전절연층 개구부의 소정 깊이내에 채워진 플러그 전도층; 상기 충전절연층 개구부의 잔류 깊이내에 채워진 제1장벽금속층; 상기 제1장벽금속층을 포함하는 상기 충전절연층 상에 형성된 제2장벽금속층; 및 상기 제2장벽금속층 상에 형성된 캐패시터의 하부전극을 포함하여 이루어지며, 상기 충전절연막은 그 표면에 산소의 확산을 방지하기 위한 산소확산방지층을 더 포함한다.

도면

도면

도면

도면의 간단한 설명

도 1은 종래기술에 따라 제조된 메모리 셀의 일부 단면도.
도 2a 내지 도 2g는 본 발명의 일실시예에 따른 메모리 셀의 공정도.
도면의 주요부분에 대한 부호의 설명
201 : 충전산화막 202 : 산소확산방지층
203 : 콘택홀 204 : 플러그
205 : Ti 박막 206, 207 : TiN 박막
208 : 캐패시터 하부 전극 박막 209 : 캐패시터 유전체 박막
210 : 캐패시터 상부전극 박막 211 : 충전절연막
212 : 금속배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 FeRAM(Ferroelectric Random Access Memory) 또는 DRAM(Dynamic Random Access Memory) 등의 고집적 메모리 장치에 관한 것으로, 특히, 산소확산 방지를 위한 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

고 밀도의 FeRAM 또는 DRAM 등의 메모리 소자에서는 캐패시터의 유전물질로서 강유전체 박막을 사용하고, 전극으로 백금과 같은 금속층을 사용하는 것이 확실시되고 있다. 이 경우 아직까지 강유전체 캐패시터의 전극은 화학기상증착(CVD) 공정이 어려워, 캐패시터의 평탄화를 위해서는 플러그(plug) 공정이 필수적이다. 즉, 모스트랜지스터와 캐패시터의 연결을 위해서, 캐패시터의 하부전극 콘택에 플러그 내부접속(interconnection)이 필수적이다. 현재까지 가장 적합한 플러그 재료는 폴리실리콘 박막으로 평가되고 있

다.

그러나, 강유전체 박막의 결정화를 위한 후속 산화 분위기의 열공정에서, 산소가 확산되는데, 이 산소확산으로 인해 폴리실리콘과 캐패시터 전극 사이의 계면에서 폴리실리콘 산화에 따른 접촉저항의 증가가 심각한 문제로 대두되고 있다. 이러한 문제를 해결하기 위해서, 종래에는 도 1에 도시된 바와같이, 캐패시터 전극물질들 산소의 확산을 효과적으로 억제시킬 수 있는 산화물 전극(RuO_2 , IrO_2 , $LaSrCuO$ 등)이나 장벽금속(barrier metal, Ti/TiN) 등의 다층구조의 전극을 형성시키는 연구가 진행되고 있으나, 아직까지도 700℃ 이상의 고온의 산화 분위기에서 완전히 산소의 확산을 방지시키는 전극의 형성에는 어려움이 많아 여전히 접촉저항을 감소시키는 문제가 연구과제로 남아 있는 실정이다.

본명이 이루고자 하는 기술적 과제

본 발명은 플러그 재료 및 플러그 형성 방법을 변형시켜 플러그와 캐패시터 하부전극 사이에서의 낮은 접촉저항을 확보하는 반도체 메모리 장치 및 그 제조 방법을 제공하는데 있다.

본명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 장치는 모스트랜지스터의 소오스/드레인이 개구된 층간절연층; 상기 층간절연층 개구부의 소정 깊이에서 채워진 플러그 전도층; 상기 층간절연층 개구부의 잔류 깊이에 채워진 제1장벽금속층; 상기 제1장벽금속층을 포함하는 상기 층간절연층 상에 형성된 제2장벽금속층; 및 상기 제2장벽금속층 상에 형성된 캐패시터의 하부전극을 포함하여 이루어진다.

또한, 상기 층간절연막은 그 표면에 산소의 확산을 방지하기 위한 산소확산방지층을 더 포함하는 것을 특징으로 한다.

첨부된 도면 도 2a 내지 도 2g는 본 발명의 일실시예에 따른 메모리 셀의 제조 공정도로서, 이를 통해 본 발명의 일실시예를 상세히 설명한다.

먼저, 도 2a는 워드라인을 포함하는 통상의 모스트랜지스터와 비트라인을 형성한 다음, 층간산화막(SiO_2)(201)을 형성한 상태이다.

이어서, 도 2b에 도시된 바와같이, 화학적-기계적 연마(CMP)를 통해 평탄화를 실시한 다음, 캐패시터 하부전극을 포함한 후속 공정에서 산소가 플러그 지역으로 확산하는 것을 보다 효과적으로 방지하기 위해 산소에 대한 확산 방지 역할이 큰, 산소확산방지층(202)을 1nm에서 200nm 두께로 증착한 다음, 산소확산방지층(202)과 층간산화막(201)을 선택적으로 식각하여 플러그 콘택을 위한 콘택홀(203)을 형성한다. 여기서 산소확산방지층(202)은 실리콘 나이트라이드(Si_3N_4), 타이타늄옥사이드(TiO_2), 탄탈륨옥사이드(Ta_2O_5) 등의 박막을 사용한다.

이어서, 도 2c와 같이, 화학기상증착이 가능한 도핑된 폴리실리콘, $Ti/TiN/Pt$, $Ti/TiN/W$, $Ti/TiN/Ru$, $Ti/TiN/Ir$, $Ti/TiN/RuO_2$, $Ti/TiN/IrO_2$, 등의 재료를 콘택홀이 완전히 매립되도록 적절한 두께로 증착한 다음, CMP 또는 마스크를 사용하지 않는 플라즈마 건식 식각 또는 적절한 용액을 이용한 습식식각의 방법으로 전면식각을 행하여 콘택홀(203) 내부에 플러그(204)를 매립한다. 이때, 플러그(204)는 산소에 쉽게 노출되지 않도록 하기 위해 콘택홀(203) 내에서 산소확산방지층(202)의 높이 보다 낮게 형성되는데, 플러그(204)가 채워지고 잔류하는 콘택홀의 깊이는 증착된 장벽금속 Ti/TiN 의 두께에 의존하며 장벽금속의 두께는 후속 산화 분위기의 열공정에서 산소의 확산을 효과적으로 차단시키기에 충분한 두께로 결정한다.

이어서, 도 2d는 잔류하는 콘택홀 내에 장벽금속층 Ti 박막(205) 및 TiN 박막(206)을 채운 상태로서, 마찬가지로 증착 및 전면식각에 의해 형성한다.

이어서, 도 2e와 같이, 산소 확산에 대한 차단효과가 큰 TiN 층이 보다 더 넓게 플러그 콘택 부위를 덮게 하기 위해서 2차 TiN 박막(207)을 증착하고, 캐패시터 하부 전극 박막(208)을 증착한 다음, 패턴링한다. 캐패시터 하부 전극 박막(208)의 재료로는 Pt , Ru , Ir , RuO_2 , IrO_2 , 또는 이들의 적절한 두께로의 적층 형태를 사용할 수 있다.

계속해서, 도 2f와 같이 캐패시터 유전체 박막(209)과 상부전극 박막(210)을 형성하고, 도 2g에 도시된 바와같이 층간절연막(211) 및 금속배선(212)을 형성한다. 여기서, 유전체 박막의 재료로는 PZT, SBT, BST 등의 강유전체 박막이다.

본 발명에서는 산소의 확산 방지 효과가 큰 실리콘 나이트라이드(Si_3N_4), 타이타늄옥사이드(TiO_2), 탄탈륨옥사이드(Ta_2O_5) 등의 박막을 층간절연막(SiO_2)의 평탄화 이후 적정 두께로 증착한 후, 플러그 콘택 식각(plug contact etch) 공정을 진행함으로써, 콘택이 직접적으로 형성되는 지역을 제외하고는 층간절연막 상부에서 하부로 산소가 확산하는 것을 최대한 억제시켰다. 그리고, 다음은 산화가 잘되는 접착층(adhesion layer) Ti 의 노출을 가능한 감소시키고 그 면적을 감소시키기 위해서 콘택홀 내부에 Ti 층을 배치하고, 역시 산소 확산에 대한 저항성이 큰 TiN 박막을 콘택홀 내의 Ti 층위에 매립시켜 플러그 콘택 지역을 통한 산소의 확산을 효과적으로 방지하도록 하였다. 또한, 보다 더 안정적으로 플러그 콘택 지역을 통한 산소의 확산을 방지하기 위해서 2차 TiN 박막이 플러그 콘택 지역을 충분히 덮을 수 있도록 하였다. 이러한 몇 가지 구성에 의해 본 발명은 강유전체 박막 제조 공정 및 결정화 열처리 포함한 후속 산화 분위기에서의 열공정으로 인한 산소 확산을 효과적으로 방지하여 플러그 콘택 저항의 증가를 효과적으로 방지한다.

본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

발명의 효과

본 발명은 고 밀도 메모리 소자를 제조할 경우 트랜지스터와 캐패시터의 내부접속을 플러그와 캐패시터 전극 사이에서 형성되는 접촉저항(contact resistance)을 감소시킴으로서, 소자의 신뢰성과 제조 수율을 향상시킬 수 있다.

(5) 청구의 범위

청구항 1

모스트랜지스터를 포함하는 하부구조 상에 중간절연막을 형성하는 단계; 상기 중간절연막을 선택적으로 식각하여 캐패시터 콘택홀을 형성하는 단계; 상기 콘택홀 내부의 소정 깊이까지 플러그 전도막을 형성하는 단계; 상기 콘택홀의 잔류하는 깊이 두께로 상기 콘택홀 내부의 상기 플러그 전도막 상에 제1장벽금속층을 형성하는 단계; 상기 제1장벽금속층을 포함하는 상기 중간절연막 상에 제2장벽금속층을 형성하는 단계; 및 상기 제2장벽금속층 상에 캐패시터의 하부전극 패턴을 형성하는 단계를 포함하여 이루어진 반도체 메모리 장치 제조 방법.

청구항 2

제1항에 있어서, 상기 중간절연막은 그 표면 층이 산소의 확산을 방지하기 위한 산소확산방지층인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 3

제2항에 있어서, 상기 산소확산방지층은 실리콘 나이트라이드, 타이타늄옥사이드, 및 탄탈륨옥사이드(Ta_2O_5) 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 4

제1항에 있어서, 상기 제1 및 제2 장벽금속층은 각각 Ti/TiN 및 TiN 층인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 5

제3항에 있어서, 상기 산소확산방지층을 1nm 내지 200nm 두께로 형성하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 6

제1항에 있어서, 상기 플러그 전도막은 도핑된 폴리실리콘층인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 7

제1항에 있어서, 상기 플러그 전도막은 Ti/TiN/Pt, Ti/TiN/W, Ti/TiN/Ru, Ti/TiN/Ir, Ti/TiN/ RuO_2 , Ti/TiN/ IrO_2 중 어느 하나인 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 8

제6항 또는 제7항에 있어서, 상기 플러그 전도막은 화학기상증착에 의해 증착한 후 전면 식각하여 형성하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 9

제1항에 있어서, 상기 하부전극은 Pt, Ru, Ir, RuO_2 , IrO_2 중 어느 하나 또는 이들이 적층되어 형성되는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 10

모스트랜지스터의 소오스/드레인이 개구된 중간절연층; 상기 중간절연층 개구부의 소정 깊이에 채워진 플러그 전도층; 상기 중간절연층 개구부의 잔류 깊이에 채워진 제1장벽금속층; 상기 제1장벽금속층을 포함하는 상기 중간절연층 상에 형성된 제2장벽금속층; 및 상기 제2장벽금속층 상에 형성된 캐패시터의 하부전극을 포함하여 이루어진 반도체 메모리 장치.

청구항 11

제10항에 있어서, 상기 중간절연막은 그 표면에 산소의 확산을 방지하기 위한 산소확산방지층을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제11항에 있어서, 상기 산소확산방지층은 실리콘 나이트라이드, 타이타늄옥사이드, 및 탄탈륨옥사이드(Ta_2O_5) 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제10항에 있어서, 상기 제1 및 제2 장벽금속층은 각각 Ti/TiN 및 TiN 층인 것을 특징으로 하는 반도체 메모리 장치.

모리 장치.

청구항 14

제12항에 있어서, 상기 산소확산방지층을 1nm 내지 200nm 두께인 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

제10항에 있어서, 상기 플러그 전도층은 도핑된 폴리실리콘층인 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

제10항에 있어서, 상기 플러그 전도층은 Ti/TiN/Pt, Ti/TiN/W, Ti/TiN/Ru, Ti/TiN/Ir, Ti/TiN/RuO₂, Ti/TiN/IrO₂ 중 어느 하나인 것을 특징으로 하는 반도체 메모리 장치.

청구항 17

제15항 또는 제16항에 있어서, 상기 플러그 전도층은 화학기상증착에 의해 증착한 후 전면 식각하여 형성된 것을 특징으로 하는 반도체 메모리 장치.

청구항 18

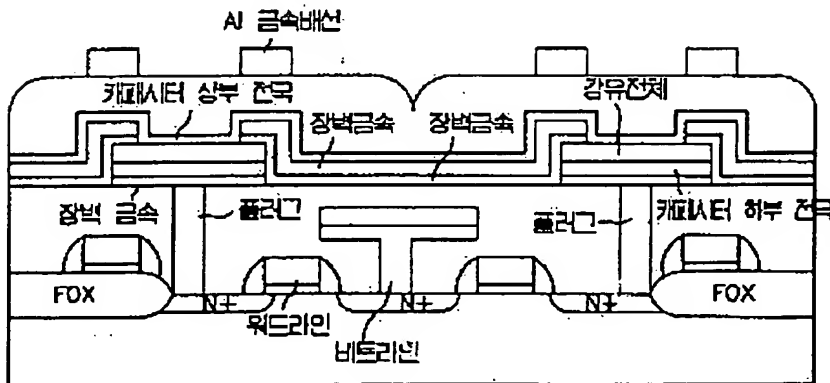
제10항에 있어서, 상기 하부전극은 Pt, Ru, Ir, RuO₂, IrO₂ 중 어느 하나 또는 이들이 적층된 전도층인 것을 특징으로 하는 반도체 메모리 장치.

청구항 19

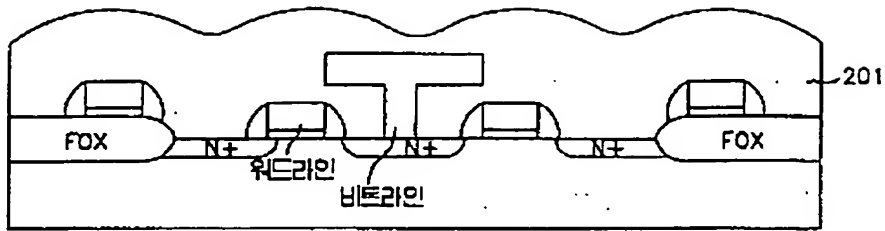
제10항에 있어서, 상기 하부전극 상에 강유전체층 및 상부전극을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

도면

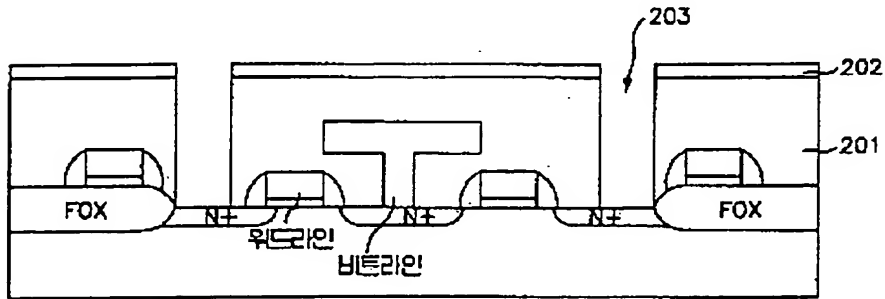
도면1



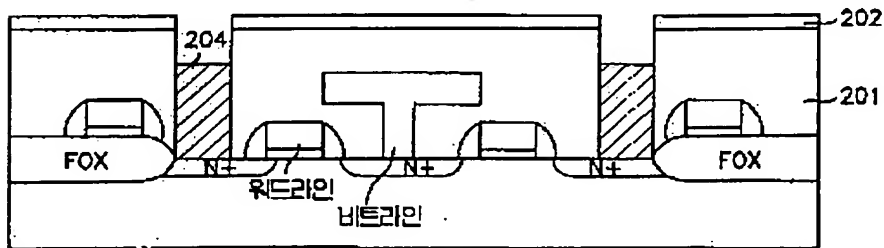
도면2a



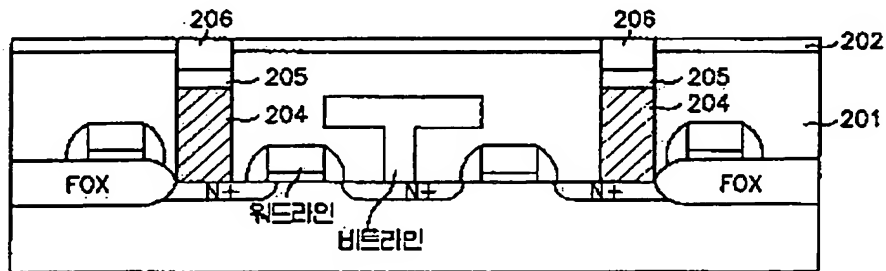
도면2b



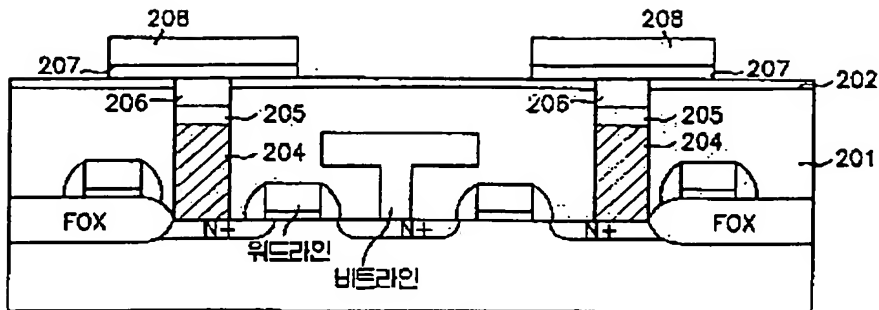
도면2c



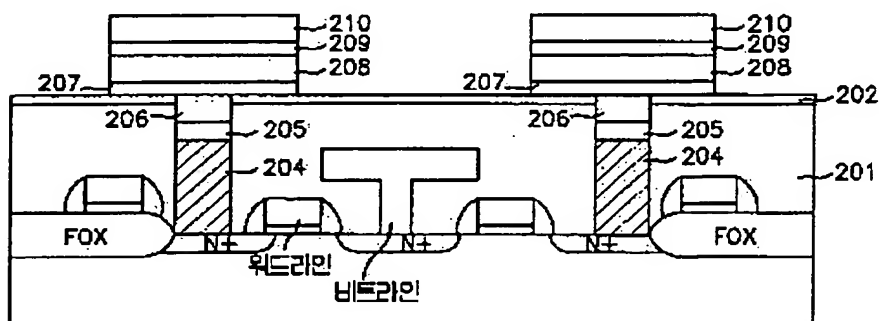
도면2d



도면20



도면21



도면22

